

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021334

(43)Date of publication of application : 29.01.1993

(51)Int.Cl.

H01L 21/027

H01L 21/302

(21)Application number : 03-176817

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.07.1991

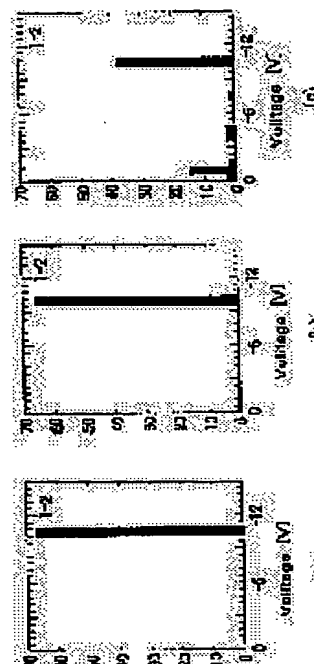
(72)Inventor : EGASHIRA KYOKO

(54) SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To completely remove a contamination organic matters on the surface and prevent breakdown strength deterioration of the oxidized film by a method wherein, after a resist layer formed on a thin oxidized film is removed, oxidation treatment is performed to the surface of the oxidized film.

CONSTITUTION: A LOCOS is formed on a p-type silicon substrate to define an element region to form a gate oxidized film on the element region. After a positive resist is applied on the oxidized film, a high frequency electric field is applied to introduced oxygen gas with a plasma-screening asher to produce an oxygen plasma by which the resist is removed. Thereafter, the surface of the gate oxidized film is treated with a UV irradiation and an O₃ introduction. Thus, contamination organic matters on the surface can completely be removed and breakdown strength deterioration of the oxidized film can be prevented. Accordingly, it is possible to enhance the manufacturing yield and reliability of the semiconductor device.



LEGAL STATUS

[Date of request for examination] 17.07.1998

[Date of sending the examiner's decision of rejection] 10.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by having the resist removal process of removing said resist layer, and the surface treatment process which removes the contamination organic substance which remained on said insulator layer front face by surface treatment with oxidizing power in the manufacture approach of a semiconductor device of removing the resist layer formed on the thin insulator layer.

[Claim 2] It is the manufacture approach of the semiconductor device characterized by for said resist removal process being wet resist removal down stream processing, and said surface treatment process being a dry-type surface treatment process with an ion bombardment in the manufacture approach of a semiconductor device according to claim 1.

[Claim 3] It is the manufacture approach of the semiconductor device characterized by for said resist removal process being wet resist removal down stream processing, and said surface treatment process being a dry-type surface treatment process which introduces oxygen gas or ozone gas while irradiating UV light in a clean surface-ed in the manufacture approach of a semiconductor device according to claim 1.

[Claim 4] It is the manufacture approach of the semiconductor device characterized by for said resist removal process being dry-type resist removal down stream processing which used a plasma electric shielding mold or ozone gas in the manufacture approach of a semiconductor device according to claim 1, and said surface treatment process being a dry-type surface treatment process with an ion bombardment.

[Claim 5] It is the manufacture approach of the semiconductor device characterized by for said resist removal process being dry-type resist removal down stream processing which used a plasma electric shielding mold or ozone gas in the manufacture approach of a semiconductor device according to claim 1, and said surface treatment process being a dry-type surface treatment process which introduces oxygen gas or ozone gas while irradiating UV light in a clean surface-ed.

[Claim 6] The manufacture approach of the semiconductor device characterized by the thickness of said insulator layer being about 20nm or less in the manufacture approach of a semiconductor device according to claim 1 to 5.

[Claim 7] The manufacture approach of the semiconductor device characterized by the heat treatment temperature of the electrode formation process following said resist removal process being about 600 degrees C or more in the manufacture approach of a semiconductor device according to claim 1 to 6.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the resist removal approach of removing the resist layer which grew for the mask of impurity diffusion, such as a resist layer formed for patterning after the manufacture approach of a semiconductor device, especially growth of thin insulator layer about 20nm or less, and an ion implantation.

[0002]

[Description of the Prior Art] In recent years, high integration of the device in a semiconductor device and detailed-ization progress, and the insulator layer is also thin-film-ized increasingly. For example, properties, such as gate dielectric film and a capacitor insulator layer, are very important from a viewpoint of the property of a device, and dependability, and it is necessary to manufacture them carefully so that it may not be polluted in a production process.

[0003] After applying a resist layer on gate oxide into the production process of a semiconductor device, patterning is carried out, this resist layer is etched as a mask, a resist layer is exfoliated after that, and gate oxide may be exposed. For example, it is the case where the gate oxide of two kinds of thickness is formed. The production process in this case is shown in drawing 1.

[0004] First, the gate oxide 12a and 12b of thickness p by thermal oxidation is formed to both component fields A and B on a silicon substrate 10 (drawing 1 (a)). Next, after applying the resist layer 14 to the whole surface, patterning of the resist layer 14 is carried out so that the component field B may be exposed (drawing 1 (b)). Next, etching removal of the gate oxide 12b of the component field B is carried out by using this resist layer 14 as a mask (drawing 1 (c)).

[0005] Next, the resist layer 14 on the component field A is exfoliated, and the front face of gate oxide 12a is exposed (drawing 1 (d)). Next, the thermal oxidation film of thickness q is further formed in both component fields A and B by thermal oxidation, gate oxide 12a of thickness p+q is formed in the component field A, and gate oxide 12b of thickness q is formed in the component field B (drawing 1 (e)).

[0006] Then, the device with which properties differ is formed in the component fields A and B using the gate oxide 12a and 12b from which these thickness differs. In the process of drawing 1 (d) which exfoliates the resist layer 14 on the component field A among these processes, the front face of gate oxide 12a is polluted, and there is fear. Moreover, a contact hole may be formed in gate oxide as other examples. The production process in this case is shown in drawing 2.

[0007] First, the gate oxide 22 by thermal oxidation is formed in the component field on a silicon substrate 20 (drawing 2 (a)). Next, after applying the resist layer 24 to the whole surface, patterning of the resist layer 24 is carried out so that silicon substrate 20 front face of a contact hole formation field may ***** (drawing 2 (b)).

[0008] Next, etching removal of the gate oxide 22 of a component field is carried out by using this resist layer 24 as a mask (drawing 2 (c)). Next, the resist layer 24 on a component field is exfoliated, and the front face of gate oxide 22 is exposed (drawing 2 (d)). Then, a device is formed in a component field using gate oxide 22.

[0009] In the process of drawing 2 (d) which exfoliates the resist layer 24 on a component field

among these processes, the front face of gate oxide 22 is polluted and there is fear. Conventionally, like drawing 1 (d) and drawing 2 (d), in exfoliating the resist layer on gate oxide, in order not to cause destruction of the gate oxide by the contamination or the charge up from heavy metal and alkali metal, wet processing which is immersed in a wafer into the mixed liquor of a sulfuric acid and hydrogen peroxide solution, and exfoliates a resist layer was performed.

[0010]

[Problem(s) to be Solved by the Invention] However, when high integration of a device progresses, for example, an insulator layer becomes thin, the organic substance which cannot be removed only by the wet processing using a sulfuric acid and hydrogen peroxide solution remains, and there is a problem of causing proof-pressure degradation of an insulator layer. That is, it found out that this inclination was so remarkable that the yield will fall certainly and the thickness of an insulator layer will become thin if wet processing is performed compared with the case of being unsettled as shown in drawing 3.

[0011] The purpose of this invention is to offer the manufacture approach of the semiconductor device which can exfoliate the resist layer formed on a thin oxide film like gate oxide or a capacitor insulator layer, without making the organic substance remain.

[0012]

[Means for Solving the Problem] The above-mentioned purpose is attained in the manufacture approach of a semiconductor device of removing the resist layer formed on the thin insulator layer, by the manufacture approach of the semiconductor device characterized by having the resist removal process of removing said resist layer, and the surface treatment process which removes the contamination organic substance which remained on said insulator layer front face by surface treatment with oxidizing power.

[0013] The manufacture approach of the semiconductor device by this invention is explained concretely. The resist exfoliation approach of this invention is divided into two processes of the resist removal process of removing a resist layer, and the surface treatment process which defecates the front face of the oxide film after resist removal. The approach as a resist removal process which cannot introduce the heavy metal contamination in a resist layer into an insulator layer is used. That is, how it is an approach to twist an ion bombardment, and process temperature is 200 degrees C or less is used by the approach which does not form electric field in a wafer front face.

[0014] For example, the following processings can be considered.

(1) (Example a) H₂ SO₄/H₂ O₂ of a wet process A wafer is made immersed into the concentrated solution of 90% or more of wet processings, and the mixed liquor of hydrogen peroxide solution, and the resist layer on an insulator layer is removed.

(b) H₂ SO₄ / O₃ A wafer is made immersed into the solution which carried out bubbling of the concentrated solution and ozone gas of 90% or more of wet processings, and the resist layer on an insulator layer is removed.

(2) a base [gas / using Example (a) Rf and microwave power of dry type processing / downflow ashing processing ozone (O₃)] — CF₄ etc. — the mixed gas which added the gas containing a fluorine element and the gas containing an OH radical is plasma-ized with Rf and microwave power, the radical and ion which were generated are conveyed using differential pressure, and the resist on an insulator layer is removed.

(b) Convey the ozone plasma which was made to carry out glow discharge of the dry ashing processing ozone gas using ozone gas, and generated it in atmospheric air, and remove the resist on an insulator layer.

[0015] It is O₂ and O₃, there being an ion bombardment or following UV irradiation on a clarification-ed side as a surface treatment process performed after resist removal. The dry type processing which introduces gas is used. For example, the following processings can be considered.

(a) O₂ Oxygen gas is introduced into a plasma treatment vacuum, high frequency is impressed, the oxygen plasma is generated, and an insulator layer front face is purified using this radical and ion that were generated. At this time, a charged particle reaches a wafer, and in order to electrify a wafer, an ion bombardment generates it. The front face of an insulator layer is

defecated by **.

(b) UV light and O₃ It is O₃, irradiating 180–350nm UV light in the clarification–ed [processing] side using gas. Gas is introduced. O₃ Gas is O₂. Glow discharge of the gas is carried out in atmospheric air, it generates, and this is conveyed to an insulator layer front face. Association of a pollutant is cut with high UV light of energy, and it is O₃. Gas removes this. Thereby, the front face of an insulator layer is defecated.

[0016] In addition, although this invention has two processes of a resist removal process and a surface–preparation process, it is also possible to choose the same processing as a resist removal process and a surface–preparation process. In this case, although it is two processes, it becomes processing of 1 relation in fact. For example, when “UV irradiation and installation of O₃” are chosen as a resist removal process and “UV irradiation and installation of O₃” are chosen as a surface treatment process, it becomes “installation of UV irradiation and O₃” processing of 1 relation.

[0017] Moreover, H₂ SO₄/H₂ O₂ conventionally used after the surface treatment process at surface washing A wet process (a wafer is immersed into the mixed liquor of a sulfuric acid and hydrogen peroxide solution) may be performed. Like the insulator layer used for the capacitor of DRAM other than the gate dielectric film of an MOS transistor as an insulator layer set as the object of processing, thickness is thin, and moreover, if that pressure–proofing is large is the insulator layer demanded, it is applicable to the resist exfoliation on any insulator layers.

[0018]

[Function] According to this invention, after removing the resist layer formed on the thin insulator layer by the approach heavy metal contamination does not invade into an insulator layer, an ion bombardment and UV irradiation can perform a comparatively high energy exposure to an insulator layer front face, surface organic substance contamination can be removed completely, and proof–pressure degradation of an insulator layer can be prevented.

[0019]

[Example] The example of reference, the example, and the example of a comparison of the manufacture approach of the semiconductor device by this invention are explained.

LOCOS was formed on p–type silicon resistivity (cm) substrate of 10ohms of the [example 1 of reference] (100) side, the component field was demarcated and gate oxide with a thickness of 10nm was formed on the component field. Without performing resist spreading and exfoliation, the gate electrode of polycrystalline silicon was immediately formed on gate oxide, and pressure–proofing of gate oxide was measured.

[0020] The histogram of the measured pressure–proofing is shown in drawing 4 (a). All the manufactured samples were good pressure–proofing.

LOCOS was formed on p–type silicon resistivity (cm) substrate of 10ohms of a [example 1] (100) side, the component field was demarcated and gate oxide with a thickness of 10nm was formed on the component field. After impressing high frequency electric field to the introduced oxygen gas, and generating the oxygen plasma by plasma electric shielding mold Usher, after applying a positive resist with a thickness of about 1100nm on this gate oxide, and the oxygen plasma’s removing a resist, it is the front face of gate oxide UV irradiation and O₃ It processed by installation. Finally, the gate electrode of polycrystalline silicon was formed on gate oxide, and pressure–proofing of gate oxide was measured.

[0021] The histogram of the measured pressure–proofing is shown in drawing 4 (b). All the manufactured samples were good pressure–proofing completely like the example 1 (drawing 4 (a)) of reference which did not perform resist spreading and exfoliation.

LOCOS was formed on p–type silicon resistivity (cm) substrate of 10ohms of the [example 1 of comparison] (100) side, the component field was demarcated and gate oxide with a thickness of 10nm was formed on the component field. After applying a positive resist with a thickness of about 1100nm on this gate oxide, the silicon substrate was immersed into the mixed liquor of a sulfuric acid and hydrogen peroxide solution, and the resist layer was removed (H₂ SO₄/H₂ O₂ wet processing). Next, the gate electrode of polycrystalline silicon was formed on gate oxide, and pressure–proofing of gate oxide was measured.

[0022] The histogram of the measured pressure–proofing is shown in drawing 4 (c). Compared

with the example 1 (drawing 4 (a)) of reference which did not perform resist spreading and exfoliation, pressure-proofing of many samples became low.

LOCOS was formed on n mold resistivity (cm) silicon substrate of 10ohms of the [example 2 of reference] (100) side, the component field was demarcated and gate oxide with a thickness of 10nm was formed on the component field. Without performing resist spreading and exfoliation, the gate electrode of polycrystalline silicon was immediately formed on gate oxide, and pressure-proofing of gate oxide was measured.

[0023] The histogram of the graph which shows the current value change at the time of increasing applied voltage, and the measured pressure-proofing is shown in drawing 5 .

LOCOS was formed on n mold resistivity (cm) silicon substrate of 10ohms of a [example 2] (100) side, the component field was demarcated and gate oxide with a thickness of 10nm was formed on the component field. The positive resist with a thickness of about 1100nm was applied on this gate oxide. Next, after immersing the silicon substrate into the mixed liquor of a sulfuric acid and hydrogen peroxide solution and removing a resist layer (H₂ SO₄/H₂ O₂ wet processing), only the radical was taken out from the oxygen plasma generated in other locations, and processing (UV light and O₂ downflow processing) which applies on the surface of an oxide film, and is purified with UV light was performed. Next, the gate electrode of polycrystalline silicon was formed on gate oxide, and pressure-proofing of gate oxide was measured.

[0024] The histogram of the graph which shows the current value change at the time of increasing applied voltage, and the measured pressure-proofing is shown in drawing 6 . There was no pressure-proof degradation compared with the example 2 (drawing 5) of reference which did not perform resist spreading and exfoliation.

LOCOS was formed on n mold resistivity (cm) silicon substrate of 10ohms of the [example 2 of comparison] (100) side, the component field was demarcated and gate oxide with a thickness of 10nm was formed on the component field. The positive resist with a thickness of about 1100nm was applied on this gate oxide. Next, immediately after the silicon substrate was immersed into the mixed liquor of a sulfuric acid and hydrogen peroxide solution and removing the resist layer (H₂ SO₄/H₂ O₂ wet processing), without performing surface purification processing, the gate electrode of polycrystalline silicon was formed on gate oxide, and pressure-proofing of gate oxide was measured.

[0025] The histogram of the graph which shows the current value change at the time of increasing applied voltage, and the measured pressure-proofing is shown in drawing 7 . Compared with the example 2 (drawing 5) of reference which did not perform resist spreading and exfoliation, pressure-proof degradation was remarkable.

[0026]

[Effect of the Invention] Since according to this invention the above passage it was made to perform processing which has oxidizing power to an oxide film front face after removing the resist layer formed on the thin oxide film, the surface contamination organic substance can be removed completely and proof-pressure degradation of an oxide film can be prevented. Therefore, the yield of a semiconductor device and improvement in dependability can be measured.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

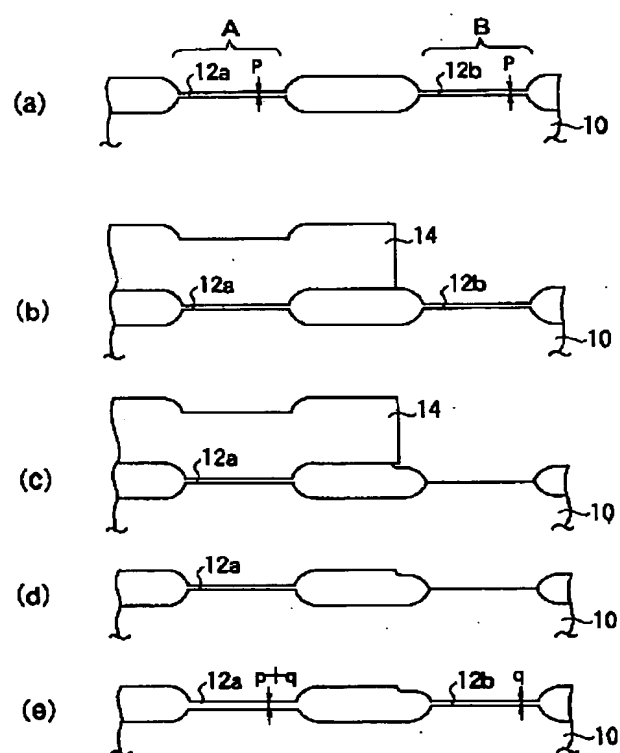
2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

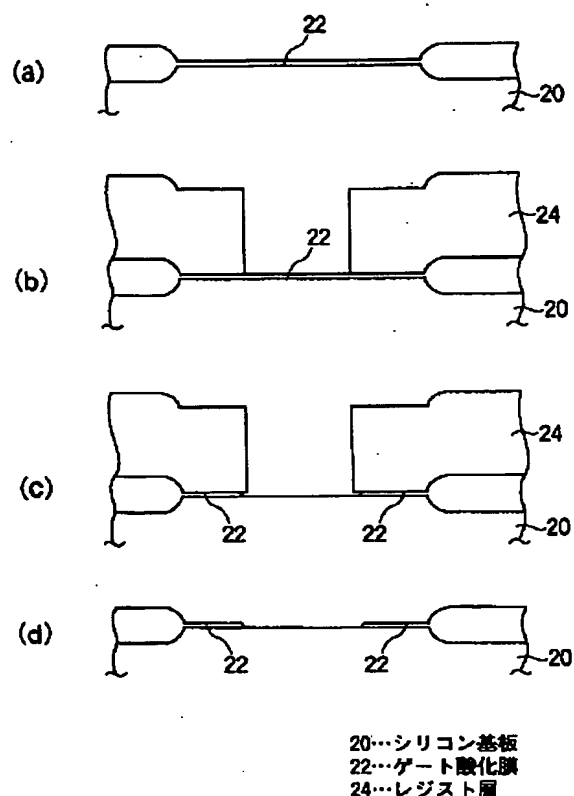
2種類の膜厚のゲート酸化膜を形成する
製造方法の工程断面図



10...シリコン基板
12a、12b...ゲート酸化膜
14...レジスト層

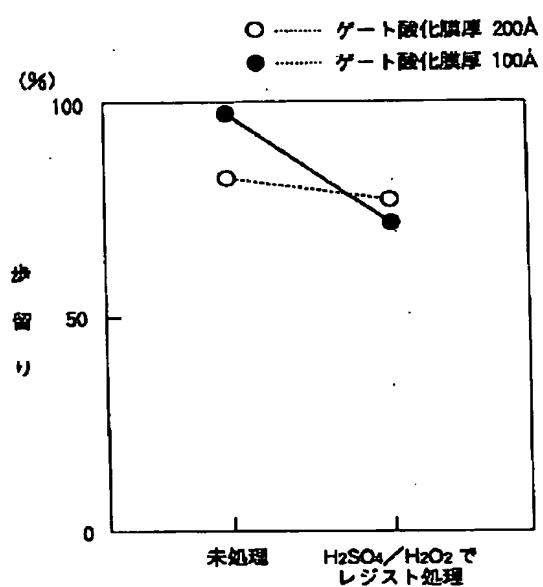
[Drawing 2]

ゲート酸化膜にコンタクトホールを形成する
製造方法の工程断面図



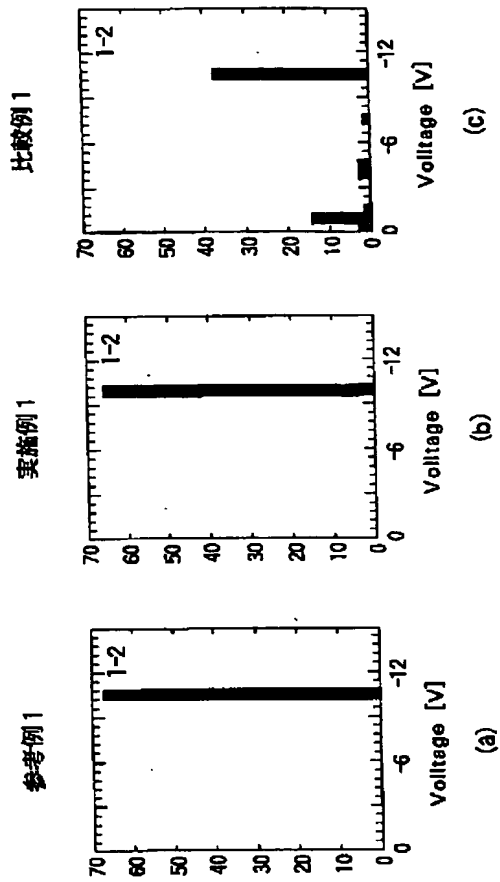
[Drawing 3]

有機物汚染によるゲート酸化膜耐圧劣化の
膜厚依存性を示すグラフ



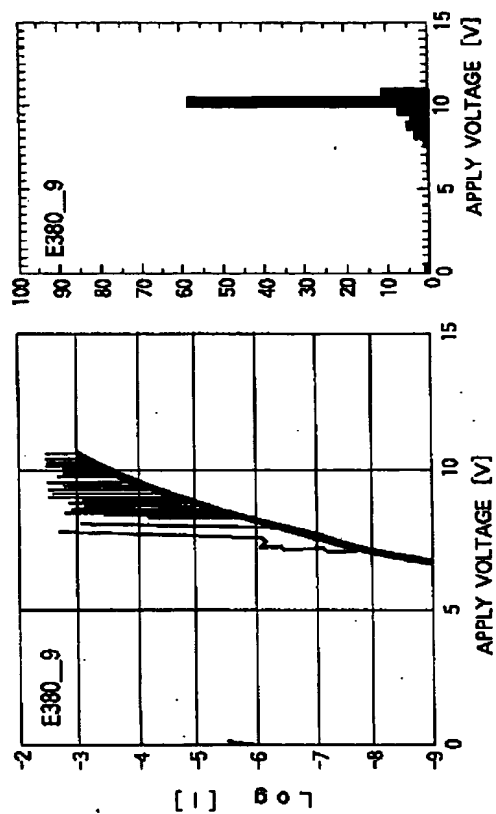
[Drawing 4]

試料の耐圧分布を示すヒストグラム



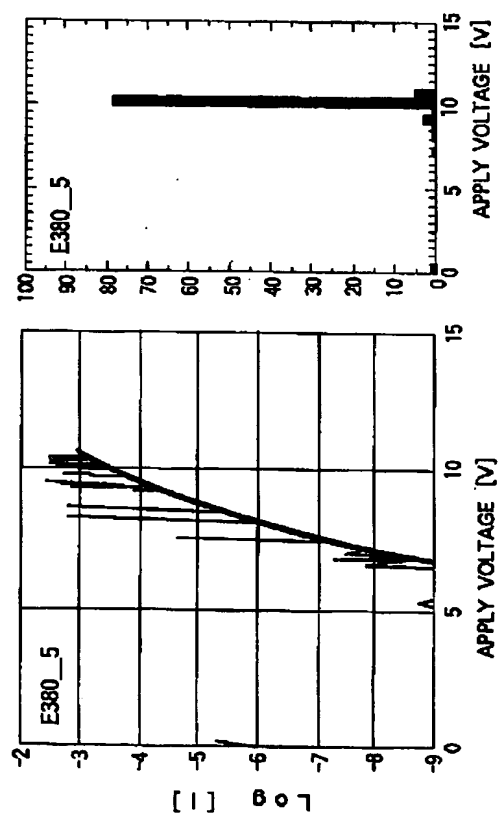
[Drawing 5]

参考例 2 の測定結果

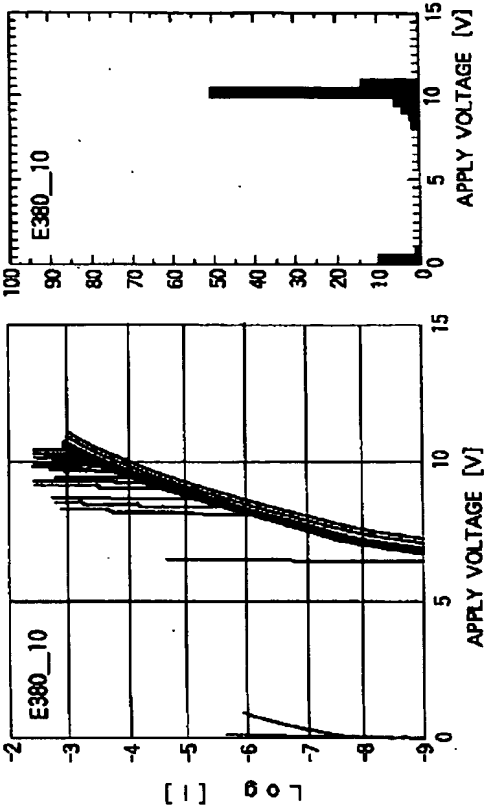


[Drawing 6]

実施例 2 の測定結果



[Drawing 7]
比較例 2 の測定結果



[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-21334

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

H 0 1 L 21/027

21/302

識別記号

庁内整理番号

F I

技術表示箇所

H 7353-4M

7352-4M

H 0 1 L 21/ 30

3 6 1 R

審査請求 未請求 請求項の数7(全 8 頁)

(21)出願番号 特願平3-176817

(22)出願日 平成3年(1991)7月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 江頭 恭子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 北野 好人

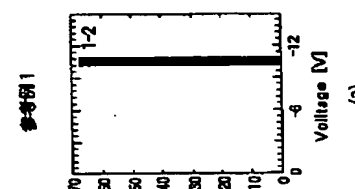
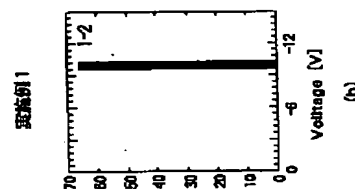
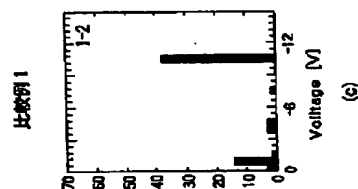
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】本発明は、特に約20nm以下の薄い絶縁膜の成長後にパターニングのために形成したレジスト層やイオン注入等の不純物拡散のマスクのために成長したレジスト層を除去する半導体装置の製造方法に関し、ゲート酸化膜やキャパシタ絶縁膜のような薄い酸化膜上に形成されたレジスト層を、有機物を残存させることなく剥離することができる半導体装置の製造方法を提供することを目的とする。

【構成】薄い絶縁膜上に形成されたレジスト層を除去する半導体装置の製造方法において、前記レジスト層を除去するレジスト除去工程と、前記絶縁膜表面に残存した汚染有機物を酸化力のある表面処理により除去する表面処理工程とを有するように構成する。

試料の耐圧分布を示すヒストグラム



1

【特許請求の範囲】

【請求項1】 薄い絶縁膜上に形成されたレジスト層を除去する半導体装置の製造方法において、前記レジスト層を除去するレジスト除去工程と、前記絶縁膜表面に残存した汚染有機物を酸化力のある表面処理により除去する表面処理工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記レジスト除去工程は、湿式のレジスト除去処理工程であり、

前記表面処理工程は、イオン衝撃のある乾式の表面処理工程であることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

前記レジスト除去工程は、湿式のレジスト除去処理工程であり、

前記表面処理工程は、被清浄表面にUV光を照射しながら酸素ガスまたはオゾンガスを導入する乾式の表面処理工程であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

前記レジスト除去工程は、プラズマ遮蔽型またはオゾンガスをを用いた乾式のレジスト除去処理工程であり、

前記表面処理工程は、イオン衝撃のある乾式の表面処理工程であることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、

前記レジスト除去工程は、プラズマ遮蔽型またはオゾンガスをを用いた乾式のレジスト除去処理工程であり、

前記表面処理工程は、被清浄表面にUV光を照射しながら酸素ガスまたはオゾンガスを導入する乾式の表面処理工程であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項1乃至5のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜の膜厚が約20nm以下であることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至6のいずれかに記載の半導体装置の製造方法において、

前記レジスト除去工程に続く電極形成工程の熱処理温度が約600℃以上であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法、特に約20nm以下の薄い絶縁膜の成長後にパターニングのために形成したレジスト層やイオン注入等の不純物拡散のマスクのために成長したレジスト層を除去するレジスト除去方法に関する。

【0002】

2

【従来の技術】 近年、半導体装置におけるデバイスの高集積化、微細化が進み、絶縁膜も益々薄膜化している。例えば、ゲート絶縁膜やキャパシタ絶縁膜等の性質はデバイスの特性、信頼性の観点から非常に重要であり、製造工程中に汚染されないように注意深く製造する必要がある。

【0003】 半導体装置の製造工程中において、ゲート酸化膜上にレジスト層を塗布した後にパターニングし、このレジスト層をマスクとしてエッチングし、その後レジスト層を剥離してゲート酸化膜を露出させる場合がある。例えば、2種類の膜厚のゲート酸化膜を形成する場合である。この場合の製造工程を図1に示す。

【0004】 まず、シリコン基板10上に両方の素子領域A、Bに熱酸化による厚さpのゲート酸化膜12a、12bを形成する(図1(a))。次に、全面にレジスト層14を塗布した後、素子領域Bだけが露出するようにレジスト層14をパターニングする(図1(b))。次に、このレジスト層14をマスクとして素子領域Bのゲート酸化膜12bをエッチング除去する(図1(c))。

【0005】 次に、素子領域A上のレジスト層14を剥離してゲート酸化膜12aの表面を露出する(図1(d))。次に、熱酸化により両方の素子領域A、Bに厚さqの熱酸化膜を更に形成し、素子領域Aに厚さp+qのゲート酸化膜12aを形成し、素子領域Bに厚さqのゲート酸化膜12bを形成する(図1(e))。

【0006】 その後、これら厚さの異なるゲート酸化膜12a、12bを利用して素子領域A、Bに特性の異なるデバイスを形成する。これらの工程のうち、素子領域A上のレジスト層14を剥離する図1(d)の工程において、ゲート酸化膜12aの表面が汚染されおそれがある。また、他の例として、ゲート酸化膜にコンタクトホールを形成する場合がある。この場合の製造工程を図2に示す。

【0007】 まず、シリコン基板20上の素子領域に熱酸化によるゲート酸化膜22を形成する(図2(a))。次に、全面にレジスト層24を塗布した後、コンタクトホール形成領域のシリコン基板20表面が露出するようにレジスト層24をパターニングする(図2(b))。

【0008】 次に、このレジスト層24をマスクとして素子領域のゲート酸化膜22をエッチング除去する(図2(c))。次に、素子領域上のレジスト層24を剥離してゲート酸化膜22の表面を露出する(図2(d))。

その後、ゲート酸化膜22を利用して素子領域にデバイスを形成する。

【0009】 これらの工程のうち、素子領域上のレジスト層24を剥離する図2(d)の工程において、ゲート酸化膜22の表面が汚染されおそれがある。従来は、図1(d)や図2(d)のように、ゲート酸化膜上のレジ

スト層を剥離する場合には、重金属及びアルカリ金属からの汚染やチャージアップによるゲート酸化膜の破壊を起こさないために、硫酸と過酸化水素水の混合液中にウエーハを浸漬してレジスト層を剥離するウェット処理を行っていた。

【0010】

【発明が解決しようとする課題】しかしながら、デバイスの高集積化が進み例えば絶縁膜が薄くなると、硫酸と過酸化水素水を用いたウェット処理だけでは除去しきれない有機物が残存し、絶縁膜の耐圧劣化を招くという問題がある。即ち、図3に示すように、未処理の場合に比べてウェット処理を行うと確実に歩留まりが低下し、絶縁膜の厚さが薄くなるほど、この傾向が顕著であることを見出した。

【0011】本発明の目的は、ゲート酸化膜やキャパシタ絶縁膜のような薄い酸化膜上に形成されたレジスト層を、有機物を残存させることなく剥離することができる半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的は、薄い絶縁膜上に形成されたレジスト層を除去する半導体装置の製造方法において、前記レジスト層を除去するレジスト除去工程と、前記絶縁膜表面に残存した汚染有機物を酸化力のある表面処理により除去する表面処理工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0013】本発明による半導体装置の製造方法について具体的に説明する。本発明のレジスト剥離方法は、レジスト層を除去するレジスト除去工程と、レジスト除去後の酸化膜の表面を清浄化する表面処理工程という2つの工程に分かれている。レジスト除去工程としては、レジスト層中の重金属汚染を絶縁膜中に導入しないことが可能な方法が用いられる。即ち、ウエーハ表面に電界を形成しない方法で、イオン衝撃のない方法であり、かつプロセス温度が200℃以下である方法を用いる。

【0014】例えば、次のような処理が考えられる。

(1) 湿式処理の例

(a) H_2 , SO_4 , $/H_2O_2$, ウェット処理

90%以上の濃溶液と過酸化水素水の混合液中にウエーハを浸漬させて絶縁膜上のレジスト層を除去する。

(b) H_2 , SO_4 , $/O_3$, ウェット処理

90%以上の濃溶液とオゾンガスをバブリングした溶液中にウエーハを浸漬させて絶縁膜上のレジスト層を除去する。

(2) 乾式処理の例

(a) Rf、マイクロ波電力を用いたダウンフローアッシング処理

オゾン(O_3)ガスを基本にCF₄等の弗素元素を含むガスやOH基を含むガスを添加した混合ガスをRf、マイクロ波電力でプラズマ化し、発生したラジカルやイオ

ンを圧力差を利用して搬送し絶縁膜上のレジストを除去する。

(b) オゾンガスを利用したドライアッシング処理
オゾンガスを大気中でグロー放電させて生成したオゾンプラズマを輸送し絶縁膜上のレジストを除去する。

【0015】レジスト除去後に行う表面処理工程としては、イオン衝撃のある、又は被清浄面にUV照射を伴いながら、 O_2 、 O_3 ガスを導入する乾式処理を用いる。例えば、次のような処理が考えられる。

(a) O_2 プラズマ処理

真空中に酸素ガスを導入し、高周波を印加して酸素プラズマを発生させ、この発生したラジカルやイオンを用いて絶縁膜表面を浄化する。この時、ウエーハに荷電粒子が到達し、ウエーハは電荷を帯びるためイオン衝撃が発生する。これにより絶縁膜の表面は清浄化される。

(b) UV光と O_3 ガスを併用する処理

被清浄面に180~350nmのUV光を照射しながら O_3 ガスを導入する。 O_3 ガスは、例えば O_2 ガスを大気中でグロー放電させて生成し、これを絶縁膜表面に輸送する。エネルギーの高いUV光で汚染物質の結合を切り、 O_3 ガスがこれを除去する。これにより絶縁膜の表面は清浄化される。

【0016】なお、本発明はレジスト除去工程と表面処理工程という2つの工程を有しているが、レジスト除去工程と表面処理工程に同じ処理を選択することも可能である。この場合には2つの工程であるが実際にはひとつながりの処理となる。例えば、レジスト除去工程に「UV照射と O_2 の導入」を選択し、表面処理工程に「UV照射と O_3 の導入」を選択した場合、ひとつながりの「UV照射と O_3 の導入」処理となる。

【0017】また、表面処理工程の後に、従来、表面洗浄に用いられていた H_2 , SO_4 , $/H_2O_2$ 湿式処理(硫酸と過酸化水素水の混合液中にウエーハを浸漬する)を行ってもよい。処理の対象となる絶縁膜としてはMOSトランジスタのゲート絶縁膜の他に、DRAMのキャパシタに用いられる絶縁膜のように、厚さが薄くしかも耐圧が大きいことが要求される絶縁膜であれば、いかなる絶縁膜上のレジスト剥離にも適用できる。

【0018】

【作用】本発明によれば、薄い絶縁膜上に形成されたレジスト層を、絶縁膜に重金属汚染が侵入しない方法で除去した後に、絶縁膜表面に対してイオン衝撃やUV照射により比較的高いエネルギー照射を行い、表面の有機物汚染を完全に除去することができ、絶縁膜の耐圧劣化を防止することができる。

【0019】

【実施例】本発明による半導体装置の製造方法の参考例、実施例及び比較例について説明する。

【参考例1】(100)面のp型シリコン基板(抵抗率10Ωcm)上にLOCOSを形成して素子領域を画定

10

20

30

40

50

し、素子領域上に厚さ10nmのゲート酸化膜を形成した。レジスト塗布及び剥離を行うことなく、直ちにゲート酸化膜上に多結晶シリコンのゲート電極を形成し、ゲート酸化膜の耐圧を測定した。

【0020】測定した耐圧のヒストグラムを図4(a)に示す。製作した全ての試料が良好な耐圧であった。

【実施例1】(100)面のp型シリコン基板(抵抗率10Ωcm)上にLOCOSを形成して素子領域を画定し、素子領域上に厚さ10nmのゲート酸化膜を形成した。このゲート酸化膜上に厚さ約1100nmのポジ型レジストを塗布した後に、プラズマ遮蔽型アッシャーにより、導入した酸素ガスに高周波電界を印加して酸素プラズマを発生させ、酸素プラズマによりレジストを除去した後にゲート酸化膜の表面をUV照射とO₂導入により処理した。最後に、ゲート酸化膜上に多結晶シリコンのゲート電極を形成し、ゲート酸化膜の耐圧を測定した。

【0021】測定した耐圧のヒストグラムを図4(b)に示す。レジスト塗布及び剥離を行わなかった参考例1(図4(a))と全く同様に、製作した全ての試料が良好な耐圧であった。

【比較例1】(100)面のp型シリコン基板(抵抗率10Ωcm)上にLOCOSを形成して素子領域を画定し、素子領域上に厚さ10nmのゲート酸化膜を形成した。このゲート酸化膜上に厚さ約1100nmのポジ型レジストを塗布した後に、硫酸と過酸化水素水の混合液中にシリコン基板を浸漬してレジスト層を除去した(H₂SO₄/H₂O₂ウェット処理)。次に、ゲート酸化膜上に多結晶シリコンのゲート電極を形成し、ゲート酸化膜の耐圧を測定した。

【0022】測定した耐圧のヒストグラムを図4(c)に示す。レジスト塗布及び剥離を行わなかった参考例1(図4(a))に比べて多数の試料の耐圧が低くなった。

【参考例2】(100)面のn型シリコン基板(抵抗率10Ωcm)上にLOCOSを形成して素子領域を画定し、素子領域上に厚さ10nmのゲート酸化膜を形成した。レジスト塗布及び剥離を行うことなく、直ちにゲート酸化膜上に多結晶シリコンのゲート電極を形成し、ゲート酸化膜の耐圧を測定した。

【0023】印加電圧を増加した場合の電流値の変化を示すグラフと測定した耐圧のヒストグラムを図5に示す。

【実施例2】(100)面のn型シリコン基板(抵抗率10Ωcm)上にLOCOSを形成して素子領域を画定し、素子領域上に厚さ10nmのゲート酸化膜を形成した。このゲート酸化膜上に厚さ約1100nmのポジ型レジストを塗布した。次に、硫酸と過酸化水素水の混合液中にシリコン基板を浸漬してレジスト層を除去した

(H₂SO₄/H₂O₂ウェット処理)後に、他の場所

で生成した酸素プラズマからラジカルだけを取り出してUV光と共に酸化膜の表面に当てて浄化する処理(UV光とO₂、ダウンフロー処理)を行った。次に、ゲート酸化膜上に多結晶シリコンのゲート電極を形成し、ゲート酸化膜の耐圧を測定した。

【0024】印加電圧を増加した場合の電流値の変化を示すグラフと測定した耐圧のヒストグラムを図6に示す。レジスト塗布及び剥離を行わなかった参考例2(図5)に比べて耐圧の劣化がなかった。

10 【比較例2】(100)面のn型シリコン基板(抵抗率10Ωcm)上にLOCOSを形成して素子領域を画定し、素子領域上に厚さ10nmのゲート酸化膜を形成した。このゲート酸化膜上に厚さ約1100nmのポジ型レジストを塗布した。次に、硫酸と過酸化水素水の混合液中にシリコン基板を浸漬してレジスト層を除去した(H₂SO₄/H₂O₂ウェット処理)後に、表面浄化処理を行うことなく直ちに、ゲート酸化膜上に多結晶シリコンのゲート電極を形成し、ゲート酸化膜の耐圧を測定した。

20 【0025】印加電圧を増加した場合の電流値の変化を示すグラフと測定した耐圧のヒストグラムを図7に示す。レジスト塗布及び剥離を行わなかった参考例2(図5)に比べて耐圧の劣化が顕著であった。

【0026】

【発明の効果】以上の通り、本発明によれば、薄い酸化膜上に形成されたレジスト層を除去した後に、酸化膜表面に対して酸化力のある処理を行うようにしたので、表面の汚染有機物を完全に除去することができ、酸化膜の耐圧劣化を防止することができる。したがって、半導体装置の歩留まり、信頼性の向上を計ることができる。

【図面の簡単な説明】

【図1】2種類の膜厚のゲート酸化膜を形成する製造方法の工程断面図である。

【図2】ゲート酸化膜にコンタクトホールを形成する製造方法の工程断面図である。

【図3】有機物汚染によるゲート酸化膜耐圧劣化の膜厚依存性を示すグラフである。

【図4】参考例1、実施例1、比較例1における試料の耐圧分布を示すヒストグラムである。

40 【図5】参考例2における印加電圧に対する電流値の変化を示すグラフ及び試料の耐圧分布を示すヒストグラムである。

【図6】実施例2における印加電圧に対する電流値の変化を示すグラフ及び試料の耐圧分布を示すヒストグラムである。

【図7】比較例2における印加電圧に対する電流値の変化を示すグラフ及び試料の耐圧分布を示すヒストグラムである。

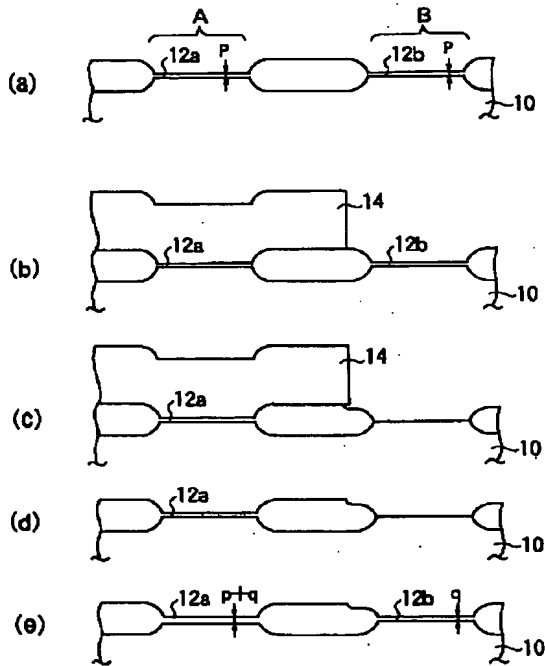
【符号の説明】

10…シリコン基板

12a、12b…ゲート酸化膜
14…レジスト層
20…シリコン基板

【図1】

2種類の膜厚のゲート酸化膜を形成する
製造方法の工程断面図



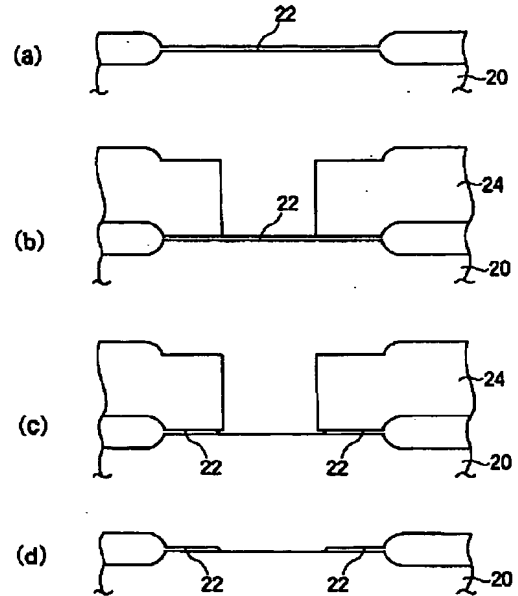
10…シリコン基板
12a、12b…ゲート酸化膜
14…レジスト層

* 22…ゲート酸化膜
24…レジスト層

*

【図2】

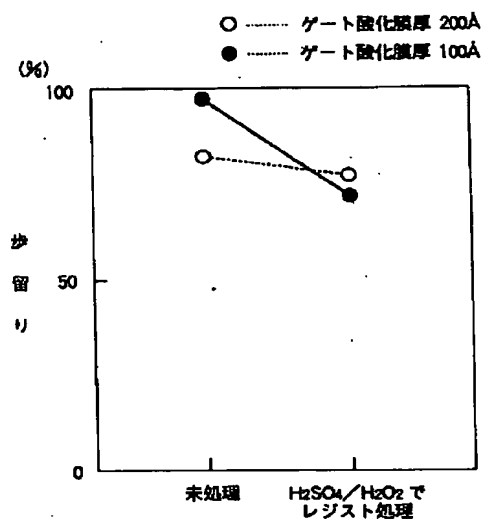
ゲート酸化膜にコンタクトホールを形成する
製造方法の工程断面図



20…シリコン基板
22…ゲート酸化膜
24…レジスト層

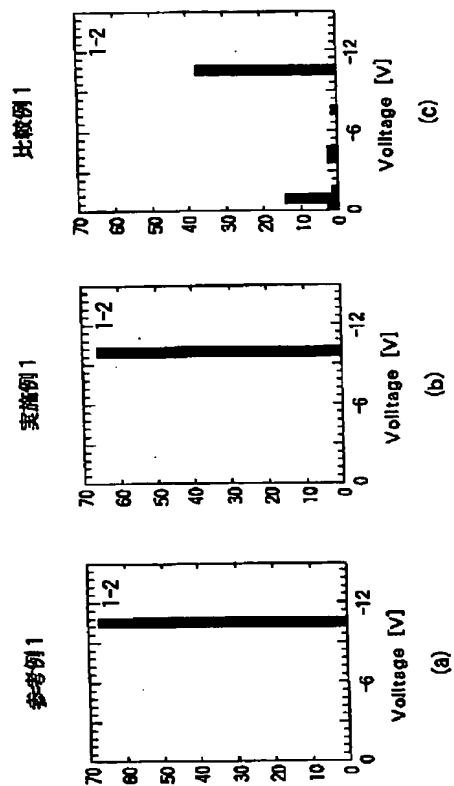
【図3】

有機物汚染によるゲート酸化膜耐圧劣化の
膜厚依存性を示すグラフ



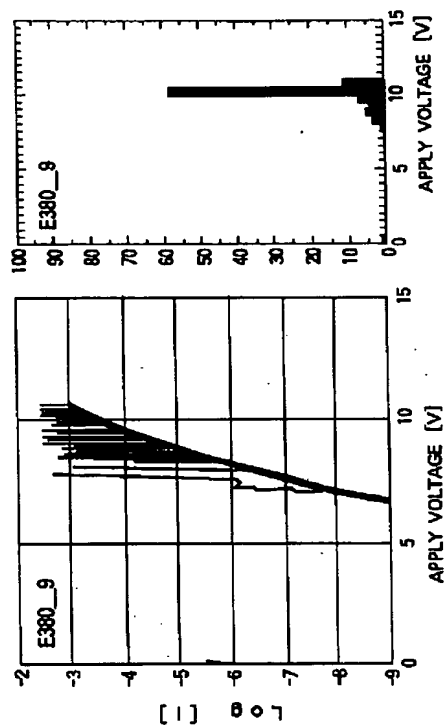
【図4】

試料の耐圧分布を示すヒストグラム



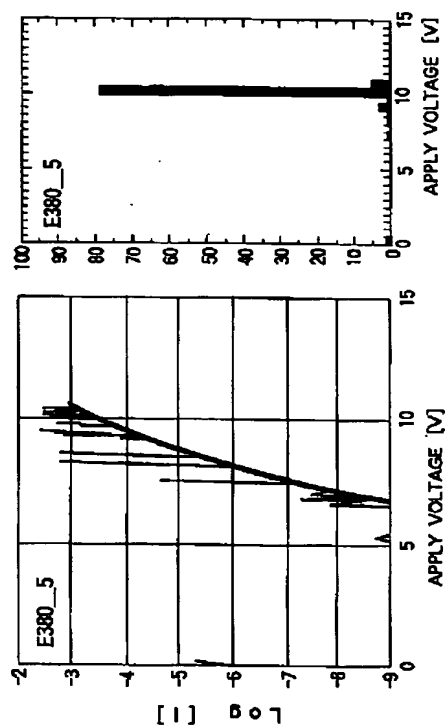
【図5】

参考例2の測定結果



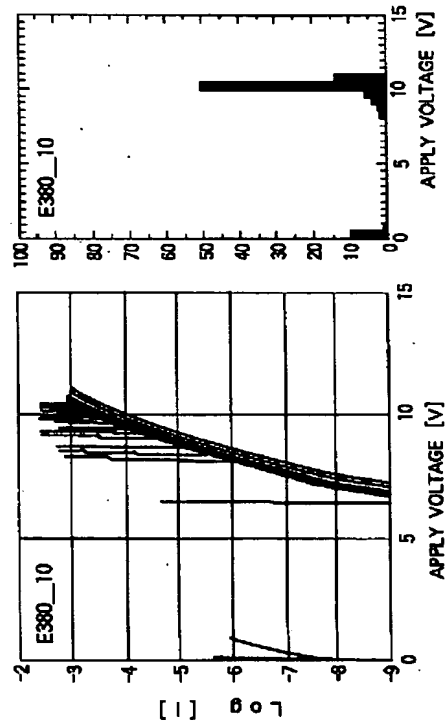
【図6】

実施例2の測定結果



【図7】

比較例2の測定結果



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGES CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE (S) OR EXHIBIT (S) SUBMITTED ARE POOR**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox